



(12) 发明专利申请

(10) 申请公布号 CN 114447105 A

(43) 申请公布日 2022.05.06

(21) 申请号 202210357155.5

(22) 申请日 2022.04.07

(71) 申请人 深圳市时代速信科技有限公司  
地址 518000 广东省深圳市福田区福保街  
道福保社区广兰道6号顺仓物流中心  
三层(深装总大厦A座3楼318-320)

(72) 发明人 杨天应 许建华

(74) 专利代理机构 北京超凡宏宇专利代理事务  
所(特殊普通合伙) 11463  
专利代理师 梁晓婷

(51) Int. Cl.  
H01L 29/06 (2006.01)  
H01L 21/335 (2006.01)  
H01L 29/778 (2006.01)

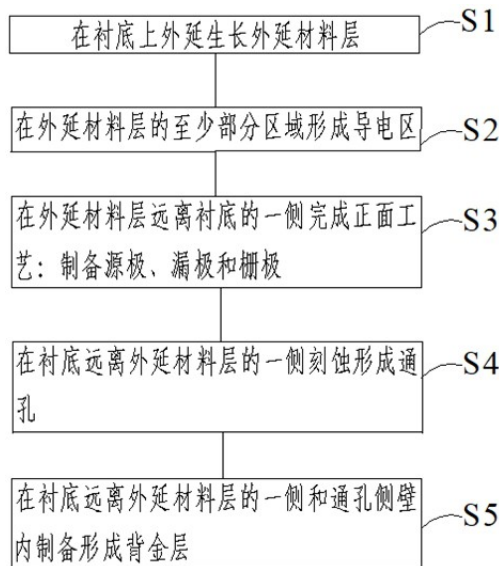
权利要求书1页 说明书9页 附图8页

(54) 发明名称

半导体器件的制备方法和半导体器件

(57) 摘要

本发明提供了一种半导体器件的制备方法和半导体器件,涉及半导体技术领域,该半导体器件包括衬底、外延材料层、源极、漏极、栅极以及背金层,并在外延材料层内的部分区域形成导电区,然后完成半导体器件正面工艺,最后完成背面工艺,在衬底上刻蚀形成通孔,并形成背金层。相较于现有技术,本发明通过使部分外延材料层具备导电特性,使得在形成源极通孔时无需刻蚀外延材料层,并且外延材料层作为刻蚀停止层,在刻蚀完成后不存在金属电极过刻蚀的问题,避免了过刻蚀工艺可能带来的背孔塌陷和背孔金属分层等技术问题,保证了器件良品率和器件性能。



1. 一种半导体器件的制备方法,其特征在于,包括:  
在衬底上外延生长外延材料层;  
在所述外延材料层的至少部分区域形成导电区;  
在所述外延材料层远离所述衬底的一侧制备栅极、源极和漏极;  
在所述衬底远离所述外延材料层的一侧刻蚀形成通孔,所述外延材料层为刻蚀停止层;  
在所述衬底远离所述外延材料层的一侧形成背金层,所述背金层延伸至所述通孔内,并通过所述导电区内的外延材料层与所述源极电学连接。
2. 根据权利要求1所述的半导体器件的制备方法,其特征在于,在所述外延材料层的至少部分区域形成导电区的步骤,包括:  
在所述外延材料层的至少部分区域进行离子注入,以形成第一注入区;  
将所述第一注入区激活,以形成所述导电区。
3. 根据权利要求2所述的半导体器件的制备方法,其特征在于,在衬底上外延生长外延材料层的步骤,包括:  
在所述衬底上依次沉积成核层、第一外延层、第二外延层和帽层;  
在所述外延材料层的至少部分区域进行离子注入的步骤,包括:  
在至少部分区域内的所述成核层和所述第一外延层进行离子注入。
4. 根据权利要求1所述的半导体器件的制备方法,其特征在于,所述导电区位于所述通孔上方,且所述导电区的形状与所述通孔的截面形状相适配。
5. 根据权利要求4所述的半导体器件的制备方法,其特征在于,在所述外延材料层的至少部分区域形成导电区的步骤之后,所述制备方法还包括:  
在所述导电区周围形成绝缘区。
6. 根据权利要求5所述的半导体器件的制备方法,其特征在于,在所述导电区周围形成绝缘区的步骤包括:  
在所述导电区周围进行离子注入,以形成所述绝缘区。
7. 一种半导体器件,其特征在于,所述半导体器件包括:  
衬底;  
设置在所述衬底一侧的外延材料层;  
设置在所述外延材料层远离所述衬底一侧的源极、漏极和栅极;  
以及,设置在所述衬底远离所述外延材料层一侧的背金层;  
其中,所述外延材料层的至少部分区域形成有导电区,所述衬底远离所述外延材料层的一侧形成有通孔,所述背金层延伸至所述通孔内,并通过所述导电区内的外延材料层与所述源极电学连接。
8. 根据权利要求7所述的半导体器件,其特征在于,所述导电区位于所述通孔上方,且所述导电区的形状与所述通孔的截面形状相适配。
9. 根据权利要求8所述的半导体器件,其特征在于,所述导电区周围还设置有绝缘区。
10. 根据权利要求7所述的半导体器件,其特征在于,所述外延材料层包括依次沉积形成的成核层、第一外延层、第二外延层和帽层,所述成核层沉积在所述衬底上,在至少部分区域内的所述成核层和所述第一外延层形成有所述导电区。

## 半导体器件的制备方法和半导体器件

### 技术领域

[0001] 本发明涉及半导体技术领域,具体而言,涉及一种半导体器件的制备方法和半导体器件。

### 背景技术

[0002] GaN材料具有高电子迁移率、高击穿电场特性。基于GaN/AlGaN制备的高电子迁移率晶体管具有高电压工作(50V工作电压)、耐高温、高频和高效率的优异特性。GaN HEMT器件是4G、5G通信基站、电子对抗及相控阵雷的核心元器件,基于GaN HEMT器件设计的功率放大器发挥着至关重要的作用。

[0003] 现有技术中通过背面开孔工艺,在器件的欧姆金属下方背面打开,并在孔的侧壁金属化,通过背孔金属实现器件源极接地。常规工艺是在正面工艺完成后,首先将SiC衬底减薄到100um,然后进行背孔刻蚀工艺。背孔刻蚀通常分两步进行,首先采用Ni掩膜刻蚀SiC,SiC刻蚀完成后,采用SiC作为掩膜,刻蚀GaN。然而,这种工艺存在以下问题:减薄后Wafer(晶圆)非常薄,应力导致Wafer翘起,边缘和中心刻蚀速度不一致,往往出现Wafer中心GaN与边缘GaN不能同时完成刻蚀。为了保证Wafer边缘和中心GaN完全去除,需要过刻蚀。由于刻蚀的Trench(沟槽)效应,往往背孔的边缘刻蚀速度大于孔中心。当孔边缘GaN完成刻蚀后,孔中心GaN仍未完全去除。此外,GaN完成蚀刻无结束标准,无明确判断依据。背孔尺寸通常为30um\*70um,深度100um,无法显微镜确定GaN完全刻蚀完毕。以上技术问题都会采用过刻蚀工艺,才能实现不同Wafer区域、孔内不同区域GaN完全去除。而过刻蚀可能带来的结果是背孔塌陷和背孔金属分层,影响器件良品率和器件性能。

### 发明内容

[0004] 本发明的目的包括,例如,提供了一种半导体器件的制备方法和半导体器件,其能够避免薄缓冲层GaN HEMT器件背孔过刻蚀问题,从而避免了背孔塌陷和背孔金属分层的问题,极大地提升了器件良品率和器件性能。

[0005] 本发明的实施例可以这样实现:

第一方面,本发明提供一种半导体器件的制备方法,包括:

在衬底上外延生长外延材料层;

在所述外延材料层的至少部分区域形成导电区;

在所述外延材料层远离所述衬底的一侧制备栅极、源极和漏极;

在所述衬底远离所述外延材料层的一侧刻蚀形成通孔,所述外延材料层为刻蚀停止层;

在所述衬底远离所述外延材料层的一侧形成背金层,所述背金层延伸至所述通孔内,并通过所述导电区内的外延材料层与所述源极电学连接。

[0006] 在可选的实施方式中,在所述外延材料层的至少部分区域形成导电区的步骤,包括:

在所述外延材料层的至少部分区域进行离子注入,以形成第一注入区;  
将所述第一注入区激活,以形成所述导电区。

[0007] 在可选的实施方式中,在衬底上外延生长外延材料层的步骤,包括:  
在所述衬底上依次沉积成核层、第一外延层、第二外延层和帽层。

[0008] 在可选的实施方式中,在所述外延材料层的至少部分区域进行离子注入的步骤,  
包括:

在至少部分区域内的所述成核层和所述第一外延层进行离子注入。

[0009] 在可选的实施方式中,所述导电区位于所述通孔上方,且所述导电区的形状与所  
述通孔的截面形状相适配。

[0010] 在可选的实施方式中,在所述外延材料层的至少部分区域形成导电区的步骤之  
后,所述制备方法还包括:

在可选的实施方式中,在所述导电区周围形成绝缘区。在所述导电区周围形成绝  
缘区的步骤包括:

在所述导电区周围进行离子注入,以形成所述绝缘区。

[0011] 在可选的实施方式中,将所述第一注入区激活的步骤,包括:

对所述外延材料层进行高温退火处理,以将所述第一注入区激活。

[0012] 第二方面,本发明提供一种半导体器件,其采用如前述实施方式任一项所述的半  
导体器件的制备方法制备形成,所述半导体器件包括:

衬底;

设置在所述衬底一侧的外延材料层;

设置在所述外延材料层远离所述衬底一侧的源极、漏极和栅极;

以及,设置在所述衬底远离所述外延材料层一侧的背金层;

其中,所述外延材料层的至少部分区域形成有导电区,所述衬底远离所述外延材  
料层的一侧形成有通孔,所述背金层延伸至所述通孔内,并通过所述导电区内的外延材料  
层与所述源极电学连接。

[0013] 在可选的实施方式中,所述导电区位于所述通孔上方,且所述导电区的形状与所  
述通孔的截面形状相适配。

[0014] 在可选的实施方式中,所述导电区周围还设置有绝缘区。

[0015] 在可选的实施方式中,所述外延材料层包括依次沉积形成的成核层、第一外延层、  
第二外延层和帽层,所述成核层沉积在所述衬底上,在至少部分区域内的所述成核层和所  
述第一外延层形成有所述导电区。

[0016] 本发明实施例的有益效果包括,例如:

本发明提供了一种半导体器件的制备方法和半导体器件,通过在外延材料层内形  
成导电区,使得导电区对应的外延材料层具备导电特性,然后完成半导体器件正面工艺,最  
后完成背面工艺,在衬底上刻蚀形成通孔,并形成背金层。相较于现有技术,本发明通过使  
部分外延材料层具备导电特性,使得在形成源极通孔时无需刻蚀外延材料层,并且外延材  
料层作为刻蚀停止层,在刻蚀完成后不存在金属电极过刻蚀的问题,避免了过刻蚀工艺可  
能带来的背孔塌陷和背孔金属分层等技术问题,保证了器件良品率和器件性能。

## 附图说明

[0017] 为了更清楚地说明本发明实施例的技术方案,下面将对实施例中所需要使用的附图作简单地介绍,应当理解,以下附图仅示出了本发明的某些实施例,因此不应被看作是对范围的限定,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他相关的附图。

[0018] 图1为本发明第一实施例提供的半导体器件的制备方法的步骤框图;  
图2至图8为本发明第一实施例提供的半导体器件的制备方法的工艺流程图;  
图9为本发明第一实施例提供的半导体器件的结构示意图;  
图10为本发明第二实施例提供的半导体器件的制备方法的步骤框图;  
图11和图12为本发明第二实施例提供的半导体器件的制备方法的工艺流程图;  
图13为本发明第二实施例提供的半导体器件的结构示意图;  
图14为本发明第三实施例提供的半导体器件的制备方法的步骤框图;  
图15为本发明第三实施例提供的半导体器件制备方法的工艺流程图;  
图16为本发明第三实施例提供的半导体器件的结构示意图。

[0019] 图标:100-半导体器件;110-衬底;120-外延材料层;121-成核层;122-第一外延层;123-第二外延层;124-帽层;125-钝化层;130-导电区;140-源极;150-漏极;160-栅极;170-通孔;180-背金层;190-绝缘区。

## 具体实施方式

[0020] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。通常在此处附图中描述和示出的本发明实施例的组件可以以各种不同的配置来布置和设计。

[0021] 因此,以下对在附图中提供的本发明的实施例的详细描述并非旨在限制要求保护的本发明的范围,而是仅仅表示本发明的选定实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0022] 应注意到:相似的标号和字母在下面的附图中表示类似项,因此,一旦某一项在一个附图中被定义,则在随后的附图中不需要对其进行进一步定义和解释。

[0023] 在本发明的描述中,需要说明的是,若出现术语“上”、“下”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系,或者是该发明产品使用时惯常摆放的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。

[0024] 此外,若出现术语“第一”、“第二”等仅用于区分描述,而不能理解为指示或暗示相对重要性。

[0025] 正如背景技术中所公开的,现有GaN高电子迁移率晶体管属于平面结构,器件的源极、漏极和栅极均位于器件正面。在工业界,GaN高电子迁移率晶体管源极接地经历两个阶段发展过程。第一阶段,通过封装接地。器件正面源极通过封装键合线,实现源极接地。这种工艺存在一定问题,源极接地键合线长度较长,该技术存在问题是接地电感大,导致器件的

工作频率受限。主要表现在器件高频下的增益及效率下降,导致这种器件只能应用于C波段以下。

[0026] 第二阶段,通过背面工艺,在器件的欧姆金属下方,衬底一次背面打孔,并在孔的侧壁金属化,通过背孔金属实现GaN器件源极接地。该方案的优点是:有效降低了源极接地电感,提高器件的频率特性,从而提升了GaN HEMT器件高频下的增益和效率。同时该方案也存在若干问题,正面工艺完成后,首先将SiC衬底减薄到100um,然后进行背孔工艺。背孔刻蚀通常分两步进行,首先采用Ni掩膜刻蚀SiC。SiC刻蚀完成后,采用SiC作为掩膜,刻蚀GaN。该工艺过程存在以下问题:

1、减薄后Wafer(晶圆)非常薄,应力导致Wafer边缘和中心刻蚀速度不一致,往往出现Wafer中心GaN已刻蚀完成,而边缘GaN未完成刻蚀。为了保证Wafer边缘和中心GaN完全去除,需要过刻蚀。

[0027] 2、由于刻蚀的Trench(沟槽)效应,往往背孔的边缘刻蚀速度大于孔中心。当孔边缘GaN完成刻蚀后,孔中心GaN仍未完全去除。

[0028] 3、工艺结束标准无明确判断依据。背孔尺寸通常较小,如为30um\*70um,深度100um,无法显微镜确定GaN完全刻蚀完毕。

[0029] 以上三个技术问题都会采用过刻蚀工艺,才能实现不同Wafer区域、孔不同区域GaN完全去除。而过刻蚀带来的结果是背孔塌陷和背孔金属分层。

[0030] 进一步地,现有技术中,为了降低外延GaN材料的漏电流,GaN外延材料缓冲通常掺杂。故意掺杂,即在缓冲层内掺入一定浓度的Fe离子,实现高阻。从而抑制GaN缓冲层漏电流,降低器件的漏电损坏,提高器件可靠性。但是由于铁离子的掺入,引入大量的深能级缺陷,而大量深能级缺陷,导致器件在大功率RF信号冲击后,热电子被深能级缺陷捕获,形成Trapping效应,导致静态电流下降,即 $I_{dq}$  drift。与Trapping对应的是深能级缺陷电子的释过程,受限于缺陷能量大小和时间常数,不易实现。该效应是GaN在通信基站应用最大的难题。最有效的解决方法是采用不掺杂的薄缓冲层GaN材料实现器件制备。而薄缓冲层GaN材料在背孔制备时,会进一步加剧现有技术的缺点,进一步导致“过刻蚀带来的结果是背孔塌陷和背孔金属分层”。

[0031] 为了解决过刻蚀带来的结果是背孔塌陷和背孔金属分层等问题,本发明提供另一种新型的半导体器件的制备方法和半导体器件,正如需要说明的是,在不冲突的情况下,本发明的实施例中的特征可以相互结合。

[0032] 第一实施例

参见图1,本实施例提供一种半导体器件100的制备方法,用于制备半导体器件100,该方法在刻蚀完成后不存在过刻蚀的问题,避免了过刻蚀工艺可能带来的背孔塌陷和背孔金属分层等技术问题,保证了器件良品率和器件性能。

[0033] 本实施例提供的半导体器件100的制备方法,包括以下步骤:

S1:在衬底110上外延生长外延材料层120。

[0034] 结合参见图2,具体地,在衬底110上可以通过MOCVD(化学气相沉积)依次沉积成核层121、第一外延层122、第二外延层123和帽层124,其中衬底110可以是SiC、Si、蓝宝石等,优选为SiC,成核层121可以是AlN,第一外延层122可以是GaN,第二外延层123可以是AlGaIn,帽层124可以是GaInN或SiN,外延材料层120的生长工艺与常规的半导体层的生长工艺一致,

在此不再详细介绍。

[0035] 在本实施例中,外延材料层120上具有间隔分布的源欧姆区和漏欧姆区,源欧姆区用于设置源极140金属,漏欧姆区用于设置漏极150金属,栅极160金属则设置在源欧姆区和漏欧姆区之间,并且在器件制备完成后,至少位于源欧姆区和漏欧姆区之间区域的第一外延层122和第二外延层123的界面处形成有二维电子气,以实现器件的正常功能。需要说明的是,本实施例中源欧姆区和漏欧姆区仅仅是区域划分,其分别指的是外延材料层120在后续制程中用于形成源欧姆和漏欧姆的区域,并不具有实体特征。

[0036] 在本实施例中,在形成外延材料层120后,还可以在外延材料层120远离衬底110的一侧形成钝化层125。结合参见图3,具体地,GaN/AlGaN的二维电子气来源于GaN自发极化及压电极化。由于二维电子气导电沟道离材料表面非常近,材料表面悬挂键,会吸附电子,从而导致导电沟道中的二维电子气浓度下降。此处可以采用LPCVD(低压化学气相沉积)工艺,在外延材料层120的表面生长SiN,SiN与材料表面悬挂键成键,实现表面钝化,解决GaN器件的电流崩塌。

[0037] S2:在所述外延材料层120的至少部分区域形成导电区130。

[0038] 结合参见图4和图5,具体而言,可利用离子注入技术,在外延材料层120的至少部分区域进行离子注入,以形成第一注入区,之后,将第一注入区激活,以形成导电区130。其中,导电区130对应的外延材料层120具备导电特性,第一注入区与导电区130对应。在本实施例中,可以对外延材料层120上的源欧姆区和漏欧姆区注入Si离子,调整Si的浓度以及电场强度,从而实现薄缓冲层GaN材料的全注入,并形成导电区130。当然,也可以只对外延材料层120上的源欧姆区的局部区域进行离子注入,以形成导电区130。

[0039] 需要说明的是,此处离子注入时通过控制注入深度,能够使得外延材料层120内预定区域的AlN层和GaN层注入Si离子,具体可以参考图示。

[0040] 在完成离子注入之后,需要将第一注入区激活,形成导电区130。在本实施例中,对外延材料层120进行高温退火处理,以将第一注入区激活,形成导电区130。以外延材料层120注入的离子为Si离子为例,Si高温退火后,将第一注入区激活,从而形成导电区130。

[0041] 在这里需要指出的是,对外延材料层120的至少部分区域进行离子注入和激活的目的在于,使形成的导电区130对应的外延材料层120具备导电特性,因此,本实施例对外延材料层120注入的离子类型不作具体限定。

[0042] 在这里还需要指出的是,导电区130的形成也可以采用离子注入以外的方式,例如,离子扩散,本实施例对导电区130的具体形成工艺不做具体限定。

[0043] S3:在外延材料层120远离衬底110的一侧完成GaN器件正面工艺:制备源极140、漏极150和栅极160。

[0044] 结合参见图6和图7,具体而言,在外延材料层120远离衬底110的一侧制备栅极160、源极140和漏极150。在完成高温退火工艺后,完成正面工艺,在外延材料层120和钝化层125上制备栅极160金属、源极140金属和漏极150金属,其中,正面工艺与常规工艺一致,在此不再赘述。并且,源极140和漏极150分别位于源欧姆区和漏欧姆区,源极140与导电区130对应。

[0045] S4:在衬底110远离外延材料层120的一侧刻蚀形成通孔170。

[0046] 结合参见图8,具体而言,在完成正面工艺后,在衬底110背面完成开孔工艺,可以

利用Ni掩膜实现衬底110刻蚀,其中通孔170与导电区130对应,并与源极140金属对应,通孔170贯通至外延材料层120,且外延材料层120为刻蚀停止层,即导电区130的AlN和GaN层为刻蚀停止层,由于GaN与SiC刻蚀比非常大,SiC刻蚀完成后,不存在GaN过刻蚀问题。直接规避了当前背孔工艺存在的问题。

[0047] S5:在衬底110远离外延材料层120的一侧形成背金层180。

[0048] 结合参见图9,具体地,在衬底110远离外延材料层120的一侧形成背金层180,背金层180延伸至通孔170内,并与外延材料层120的导电区130电接触。在刻蚀完成后,需要实现背孔金属化,沉积形成背金层180,且背金层180延伸至通孔170内,并与外延材料层120电接触,以使背金层180通过导电区130内的外延材料层120与源极140电学连接。

[0049] 请结合参见图2至图9,本实施例还提供了一种半导体器件100,其可以采用前述的制备方法制备而成,该半导体器件100包括衬底110、外延材料层120、源极140、漏极150、栅极160以及背金层180,外延材料层120设置在衬底110一侧,且外延材料层120上具有间隔分布的源姆区和漏欧姆区,源极140和漏极150分别位于源欧姆区和漏欧姆区,其中,外延材料层120的部分区域形成有导电区130,导电区130对应的外延材料层120具备导电特性,源极140与导电区130对应;衬底110远离外延材料层120的一侧形成有通孔170,通孔170贯通至外延材料层120,背金层延伸至通孔170内,并与外延材料层120电接触,通孔170与导电区130对应,以使背金层180通过导电区130内的外延材料层120与源极140电学连接。

[0050] 在本实施例中,外延材料层120包括成核层121、第一外延层122、第二外延层123和帽层124,成核层121沉积在衬底110上,第一外延层122沉积在成核层121上,第二外延层123沉积在第一外延层122上,帽层124沉积在第二外延层123上,其中,至少位于源欧姆区和漏欧姆区之间区域的第一外延层122和第二外延层123的界面处形成有二维电子气。

[0051] 在本实施例中,外延材料层120上还设置有钝化层125,具体地,钝化层125沉积形成在帽层124上。

[0052] 综上所述,本实施例提供的半导体器件100的制备方法和半导体器件100,通过在外延材料层的至少部分区域形成导电区130,然后完成正面工艺,最后在衬底110上刻蚀形成通孔170,并形成背金层180,且刻蚀时外延材料层120作为刻蚀停止层,并且背金层180通过导电区130内的外延材料层120与源极140电学连接。本实施例通过使部分外延材料层120具备导电特性,使得在形成通孔170时无需贯穿外延材料层120,并且外延材料层120作为刻蚀停止层,在刻蚀完成后不存在过刻蚀的问题,避免了过刻蚀工艺可能带来的背孔塌陷和背孔金属分层等技术问题,保证了器件良品率和器件性能。

[0053] 第二实施例

参见图10,本实施例提供了一种半导体器件100的制备方法,其基本步骤和工艺及产生的技术效果和第一实施例相同,为简要描述,本实施例部分未提及之处,可参考第一实施例中相应内容。

[0054] 本实施例提供了一种半导体器件100的制备方法,包括以下步骤:

S1:在衬底110上外延生长外延材料层120。

[0055] 具体地,在衬底110上可以通过MOCVD(化学气相沉积)依次沉积成核层121、第一外延层122、第二外延层123和帽层124。在形成外延材料层120后,还可以在外延材料层120的表面生长钝化层125,钝化层125可以采用SiN,SiN与材料表面悬挂键成键,实现表面钝化,



解决GaN器件的电流崩塌。

[0056] S2:在外延材料层120的部分区域形成导电区130。

[0057] 具体而言,可以在外延材料层120的部分区域进行离子注入,以形成第一注入区。结合参见图11和图12,可以在源欧姆区的部分区域进行Si离子注入,即在后续刻蚀开孔的位置上方形成第一注入区,该第一注入区与后续的导电区130对应,使得器件成型后,导电区130位于通孔170上方,且导电区130的形状与通孔170的截面形状相适配。

[0058] 需要说明的是,此处采用局部注入方式,从而能够保留原源欧姆区的大部分功能,从而与传统GaN HEMT器件工艺相结合。

[0059] 在完成离子注入之后,需要将第一注入区激活,形成导电区130。在本实施例中,对外延材料层120进行高温退火处理,以将第一注入区激活,形成导电区130。以外延材料层120注入的离子为Si离子为例,Si高温退火后,将第一注入区激活,从而形成导电区130。

[0060] S3:在外延材料层120远离衬底110的一侧完成正面工艺:制备源极140、漏极150和栅极160。

[0061] 具体而言,源极140和漏极150分别位于源欧姆区和漏欧姆区,源极140与导电区130对应。

[0062] S4:在衬底110远离外延材料层120的一侧刻蚀形成通孔170。

[0063] 具体而言,在完成正面工艺后,在衬底110背面完成开孔工艺,可以利用Ni掩膜实现衬底110刻蚀,其中通孔170与导电区130对应,并与源极140金属对应,通孔170贯通至外延材料层120,且外延材料层120为刻蚀停止层。

[0064] S5:在衬底110远离外延材料层120的一侧形成背金层180。

[0065] 具体地,结合参见图13,在刻蚀完成后,需要实现背孔金属化,沉积形成背金层180。

[0066] 本实施例还提供了一种半导体器件100,其采用了前述的制备方法制备而成,且基本结构和原理及产生的技术效果和第一实施例相同,为简要描述,本实施例部分未提及之处,可参考第一实施例中相应内容。

[0067] 结合参见图13,本实施例提供的半导体器件100包括衬底110、外延材料层120、源极140、漏极150、栅极160以及背金层180,外延材料层120设置在衬底110一侧,且外延材料层120上具有间隔分布的源姆区和漏欧姆区,源极140和漏极150分别位于源欧姆区和漏欧姆区,其中,源欧姆区的部分区域形成有导电区130,源极140与导电区130对应;衬底110远离外延材料层120的一侧形成有通孔170,通孔170贯通至外延材料层120,背金层180延伸至通孔170内,并与外延材料层120电接触,通孔170与导电区130对应,以使背金层180通过导电区130内的外延材料层120与源极140电学连接。

[0068] 在本实施例中,导电区130位于源欧姆区的局部区域,并位于通孔170上方,且导电区130的形状与通孔170的截面形状相适配,与导电区130对应的外延材料层120内注入有Si离子,并通过高温退火后使得与导电区130对应的外延材料层120具备导电特性。

[0069] 本实施例提供的半导体器件100的制备方法和半导体器件100,通过在源欧姆区的部分区域内进行离子注入,以形成第一注入区,从而能够保留源欧姆区的功能,同时将第一注入区激活,形成导电区130,然后完成正面工艺,最后在衬底110上刻蚀形成通孔170,并形成背金层180,且刻蚀时外延材料层120作为刻蚀停止层,并且,通孔170与导电区130对应,

以使背金层180通过导电区130内的外延材料层120与源极140电学连接。本实施例通过离子注入使得部分外延材料层120具备导电特性,使得在形成通孔170时无需贯穿外延材料层120,并且外延材料层120作为刻蚀停止层,在刻蚀完成后不存在过刻蚀的问题,避免了过刻蚀工艺可能带来的背孔塌陷和背孔金属分层等技术问题,保证了器件良品率和器件性能。

### [0070] 第三实施例

参见图14,本实施例提供了一种半导体器件100的制备方法,其基本步骤和工艺及产生的技术效果和第二实施例相同,为简要描述,本实施例部分未提及之处,可参考第二实施例中相应内容。

[0071] 本实施例提供了一种半导体器件100的制备方法,包括以下步骤:

S1:在衬底110上外延生长外延材料层120。

[0072] S2:在所述外延材料层120的部分区域形成导电区130。

[0073] 具体而言,可以在外延材料层120的部分区域通过Si离子注入形成第一注入区,然后通过高温退火后对第一注入区进行激活,以形成导电区130。

[0074] 其中,步骤S1-步骤S2与第二实施例相同,具体可以参考第二实施例。

[0075] S3:在导电区130周围形成绝缘区190。

[0076] 具体地,结合参见图15,在完成Si离子注入后,可利用离子注入工艺,在源欧姆区内第一注入区周围进行离子注入,从而形成了绝缘区190,该绝缘区190对应的外延材料层120具有绝缘特性。其中,第一注入区周围注入的离子可以为N离子,N离子的注入深度可以与Si离子一致,绝缘区190环绕第一注入区设置。在这里需要指出的是,对第一注入区周围进行离子注入的目的在于使形成的绝缘区190对应的外延材料层120具有绝缘特性,因此,本实施例对第一注入区周围注入的离子类型不作具体限定。

[0077] 在这里还需要指出的是,绝缘区190的形成方式也可以采用离子注入以外的方式,本实施例对绝缘区190的形成方式不做具体限定。

[0078] 需要说明的是,在完成Si离子注入后,即可通过高温退火处理将第一注入区激活,以形成导电区130。此处高温退火处理可以在N离子注入的步骤之前,也可以在N离子注入的步骤之后,可以根据工艺需求进行设定,对于高温退火的工序并不作具体限定。

[0079] S4:在外延材料层120远离衬底110的一侧完成正面工艺:制备源极140、漏极150和栅极160。

[0080] 其中,源极140和漏极150分别位于源欧姆区和漏欧姆区,源极140与导电区130对应。

[0081] S5:在衬底110远离外延材料层120的一侧刻蚀形成通孔170。

[0082] 具体而言,在完成正面工艺后,在衬底110背面完成开孔工艺,利用Ni掩膜实现衬底110刻蚀,其中通孔170与导电区130对应,并与源极140金属对应,通孔170贯通至外延材料层120,且外延材料层120为刻蚀停止层。

[0083] S6:在衬底110远离外延材料层120的一侧形成背金层180。

[0084] 具体地,结合参见图16,在刻蚀完成后,需要实现背孔金属化,沉积形成背金层180。

[0085] 需要说明的是,由于导电区130周围形成有绝缘区190,且绝缘区190对应的外延材料层120具有绝缘特性,使得绝缘区190内的二维电子气得以被破坏掉,从而减小了外延材

料层120产生的栅极漏电 $I_{gs}$ 和漏源漏电 $I_{ds}$ 。

[0086] 本实施例还提供了一种半导体器件100,其基本结构和原理及产生的技术效果和第二实施例相同,为简要描述,本实施例部分未提及之处,可参考第二实施例中相应内容。

[0087] 结合参见图16,本实施例提供的半导体器件100包括衬底110、外延材料层120、源极140、漏极150、栅极160以及背金层180,外延材料层120设置在衬底110一侧,且外延材料层120上具有间隔分布的源欧姆区和漏欧姆区,源极140和漏极150分别位于源欧姆区和漏欧姆区,其中,源欧姆区的部分区域通过离子注入形成有导电区130,导电区130对应的外延材料层120具备导电特性,源极140与导电区130对应;衬底110远离外延材料层120的一侧形成有通孔170,通孔170贯通至外延材料层120,背金层180延伸至通孔170内,并与外延材料层120电接触,通孔170与导电区130对应,以使背金层180通过导电区130内的外延材料层120与源极140电学连接。导电区130位于源欧姆区的局部区域,并位于通孔170上方,且导电区130的形状与通孔170的截面形状相适配,与导电区130对应的外延材料层120内注入有Si离子,以使与导电区130对应的外延材料层120具备导电特性。

[0088] 在本实施例中,导电区130周围还设置有绝缘区190,绝缘区190环绕导电区130设置,绝缘区190对应的外延材料层具有绝缘特性。

[0089] 本实施例提供的半导体器件100的制备方法和半导体器件100,通过在源欧姆区的部分区域内进行离子注入,以形成第一注入区,从而能够保留源欧姆区的功能,同时将第一注入区激活,形成的导电区130,然后完成正面工艺,最后在衬底110上刻蚀形成通孔170,并形成背金层180,且刻蚀时外延材料层120作为刻蚀停止层,并且,通孔170与导电区130对应,以使背金层180通过导电区130内的外延材料层120与源极140电学连接。本实施例通过离子注入使得部分外延材料层120具备导电特性,使得在形成通孔170时无需贯穿外延材料层120,并且外延材料层120作为刻蚀停止层,在刻蚀完成后不存在过刻蚀的问题,避免了过刻蚀工艺可能带来的背孔塌陷和背孔金属分层等技术问题,保证了器件良品率和器件性能。此外,通过设置绝缘区190,并注入N离子,使得导电区130周围的二维电子气被破坏掉,减小了漏电现象,提升了器件性能。

[0090] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到的变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

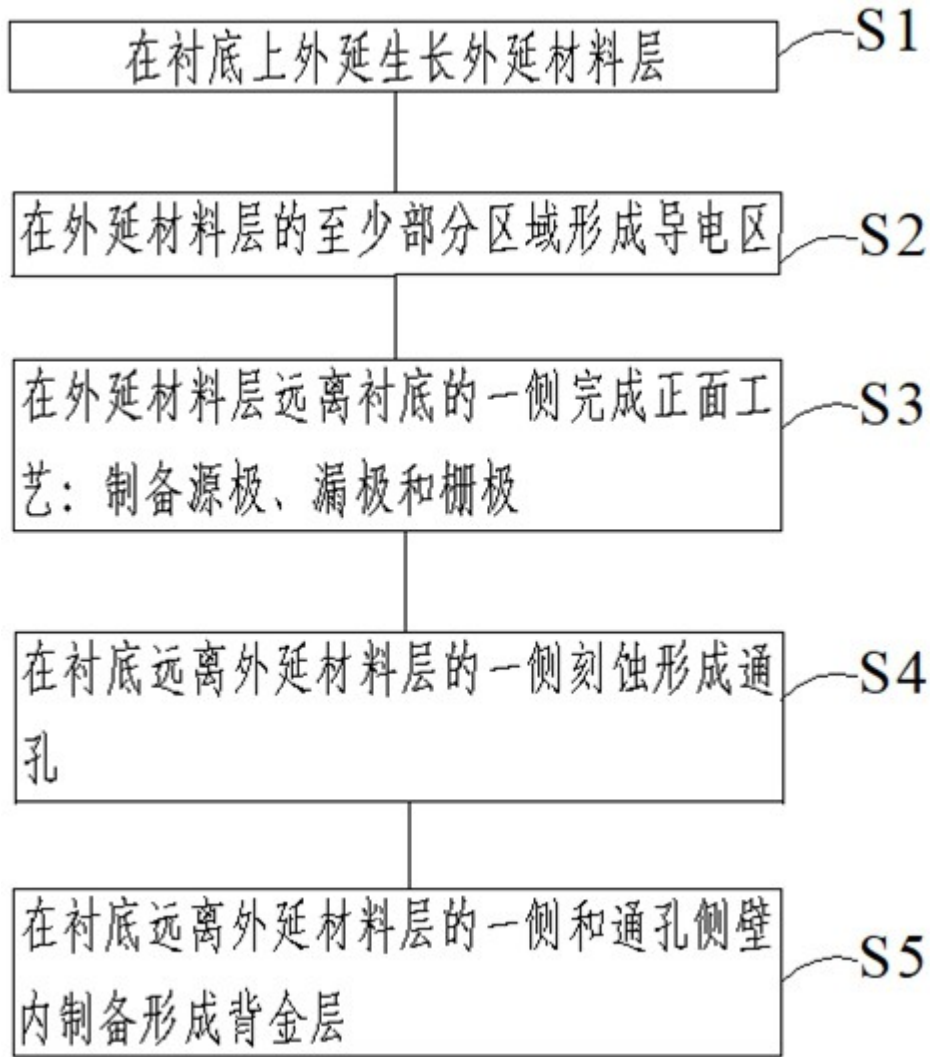


图1

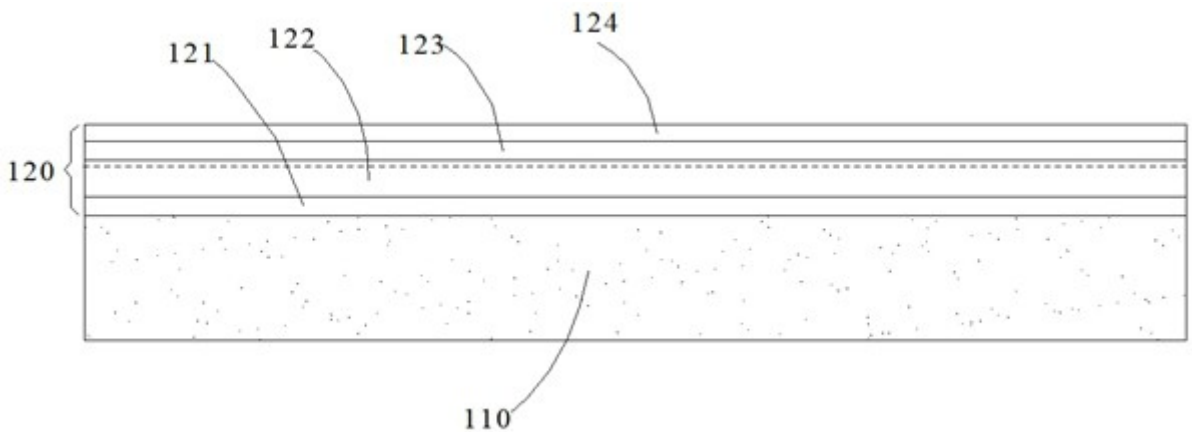


图2

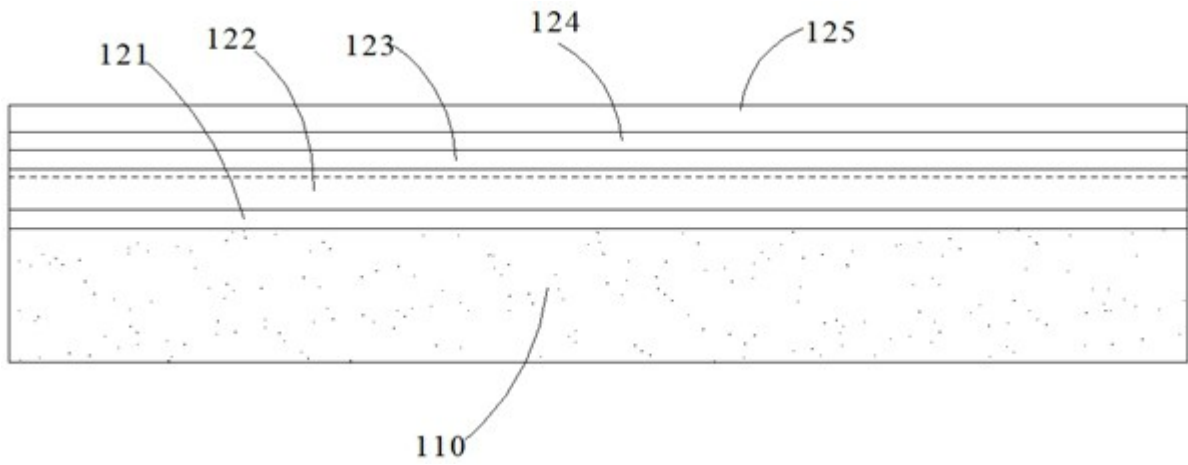


图3

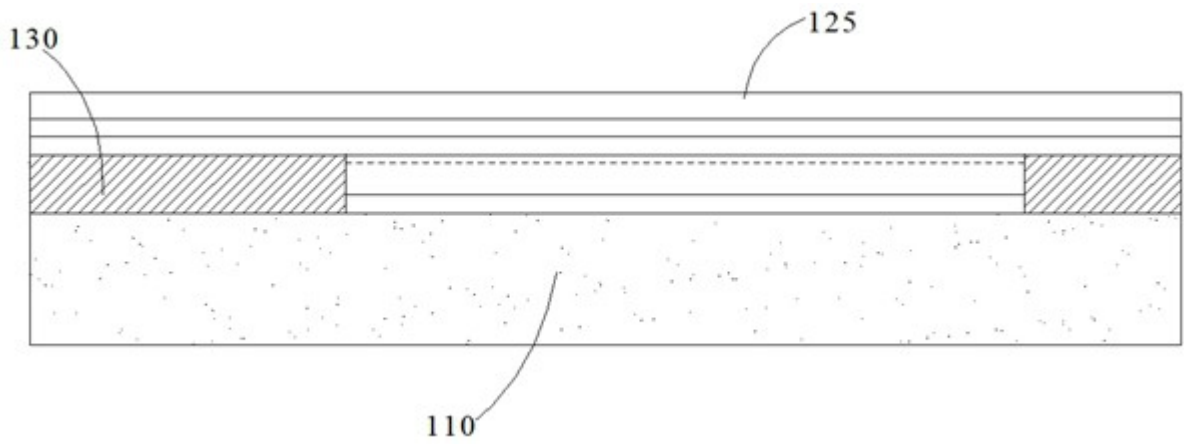


图4

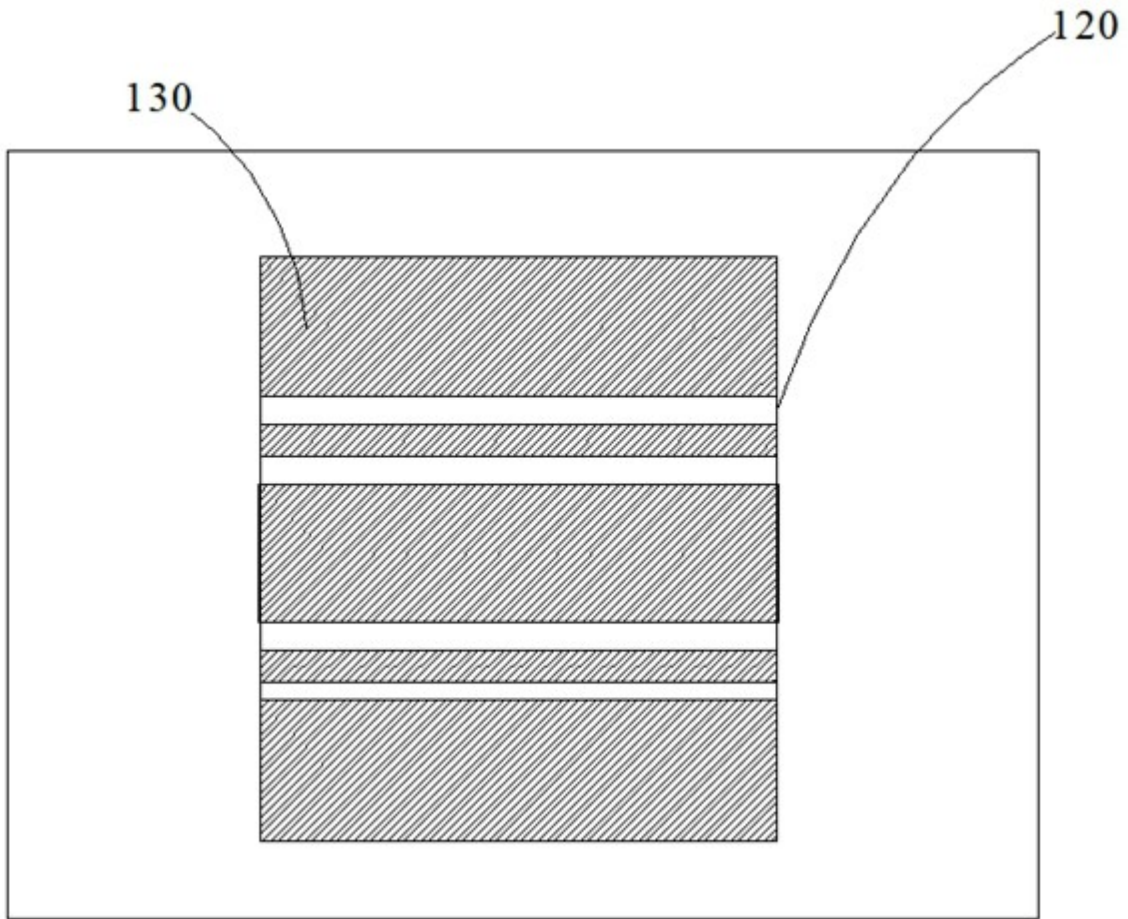


图5

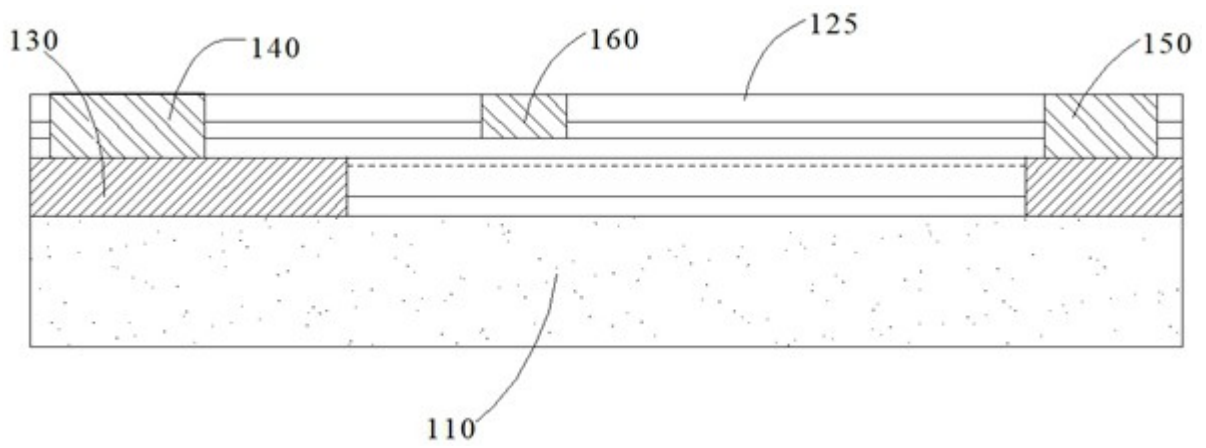


图6

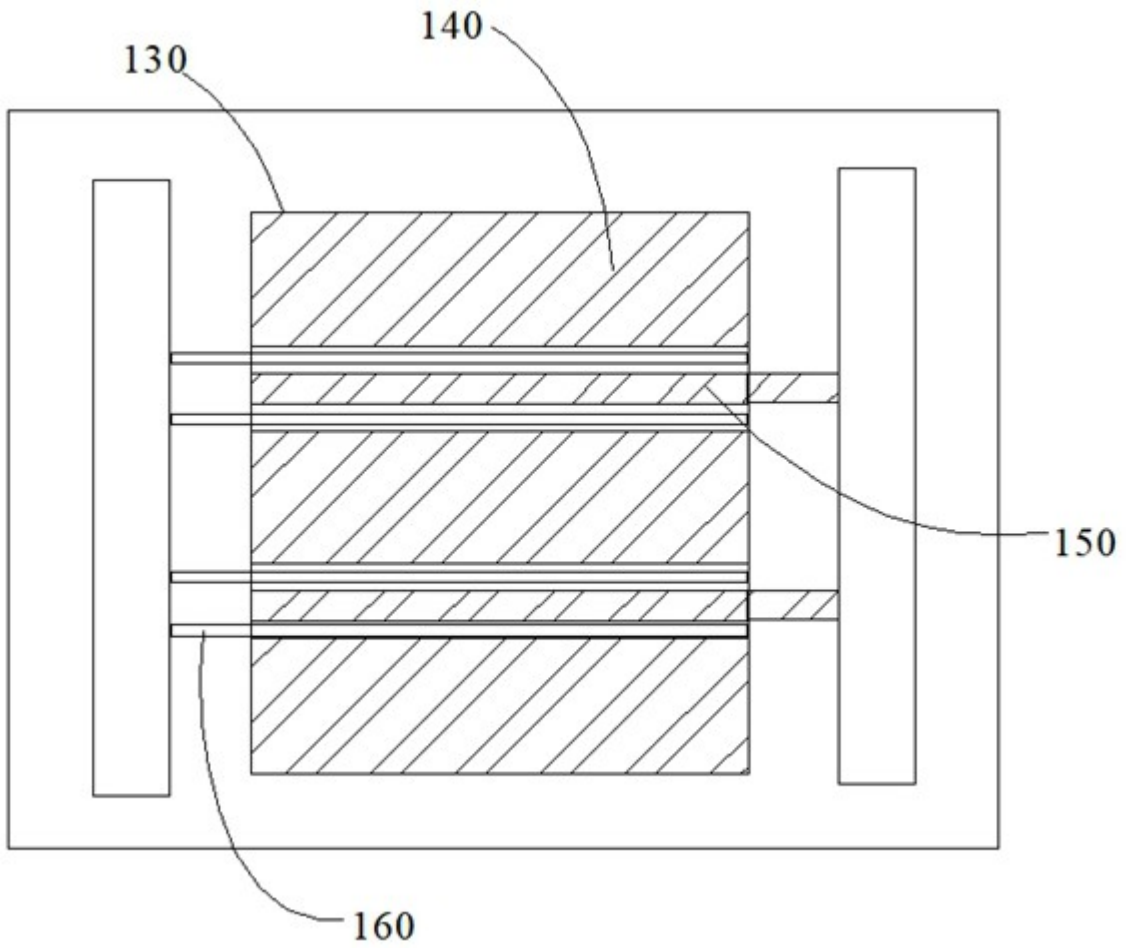


图7

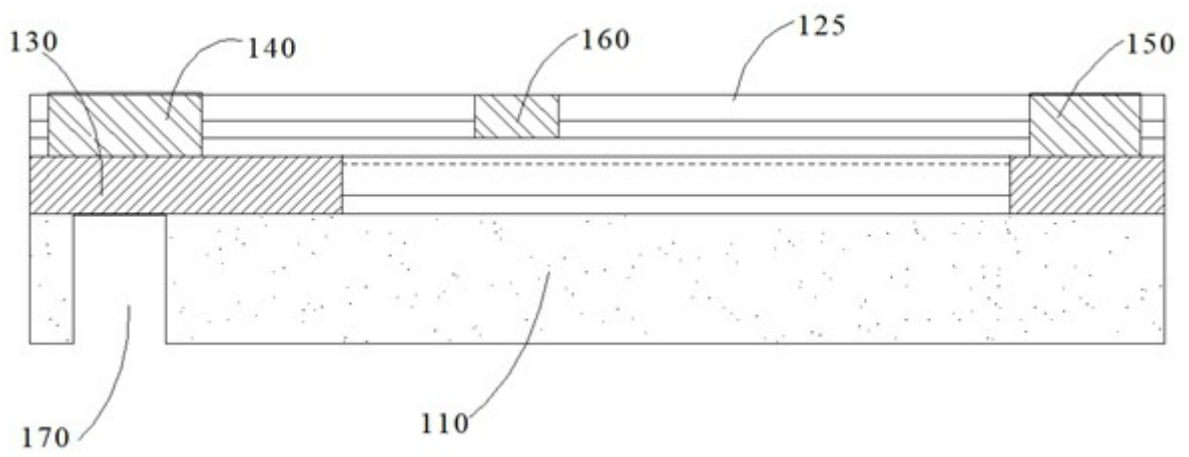


图8

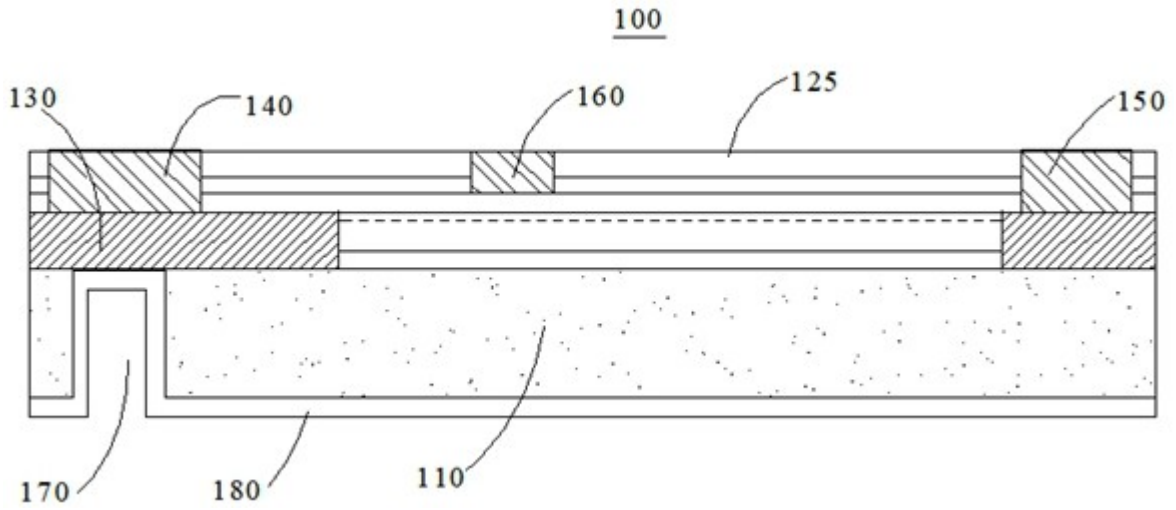


图9

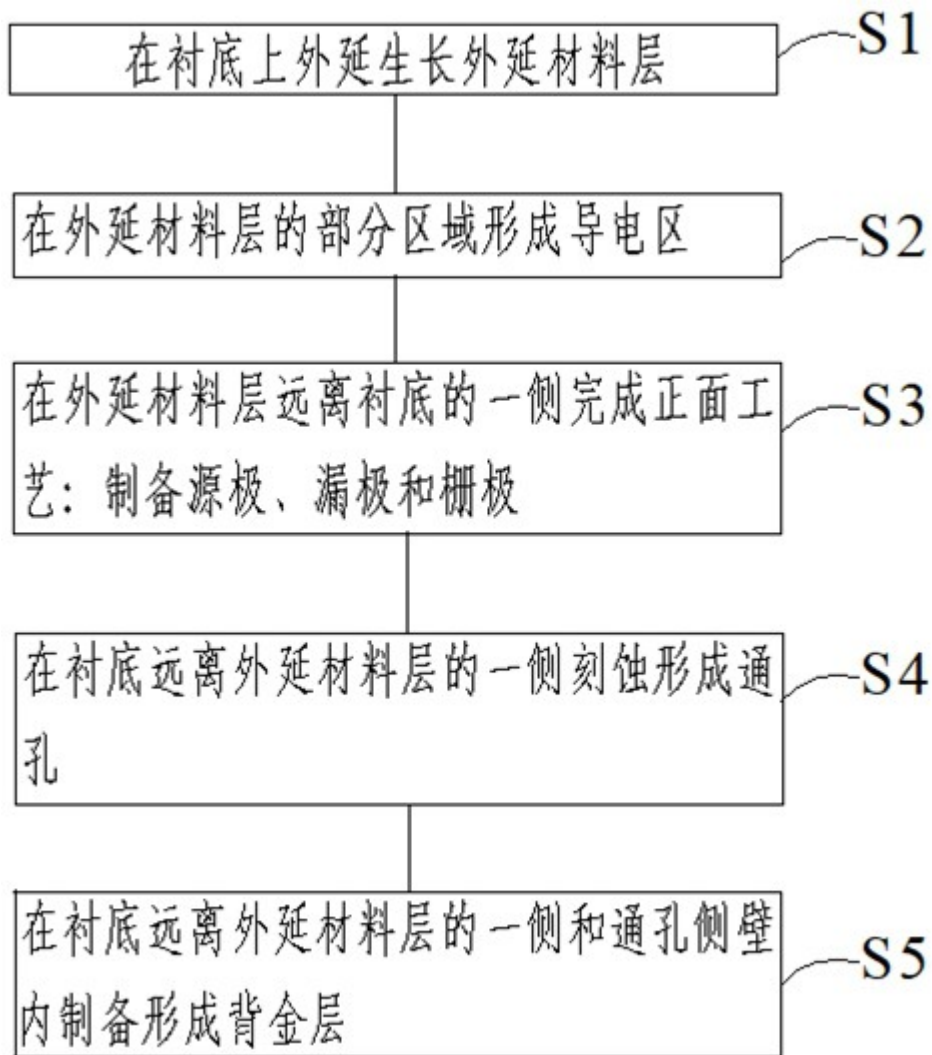


图10



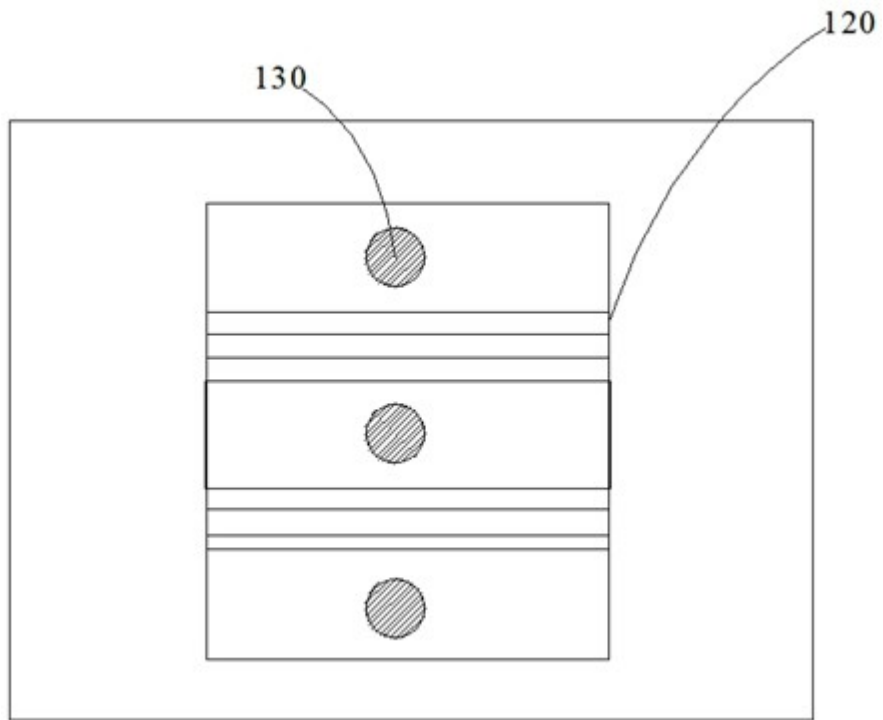


图11

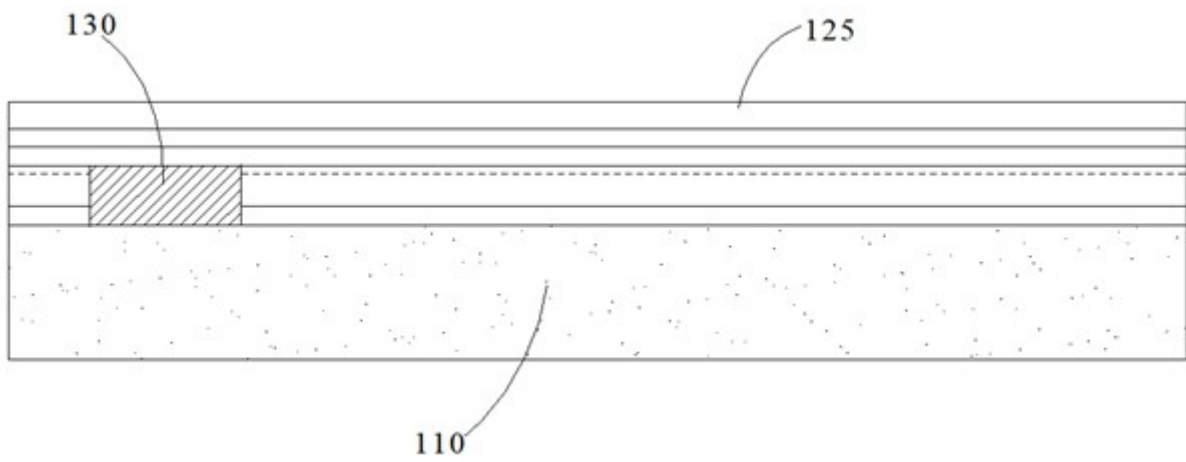


图12

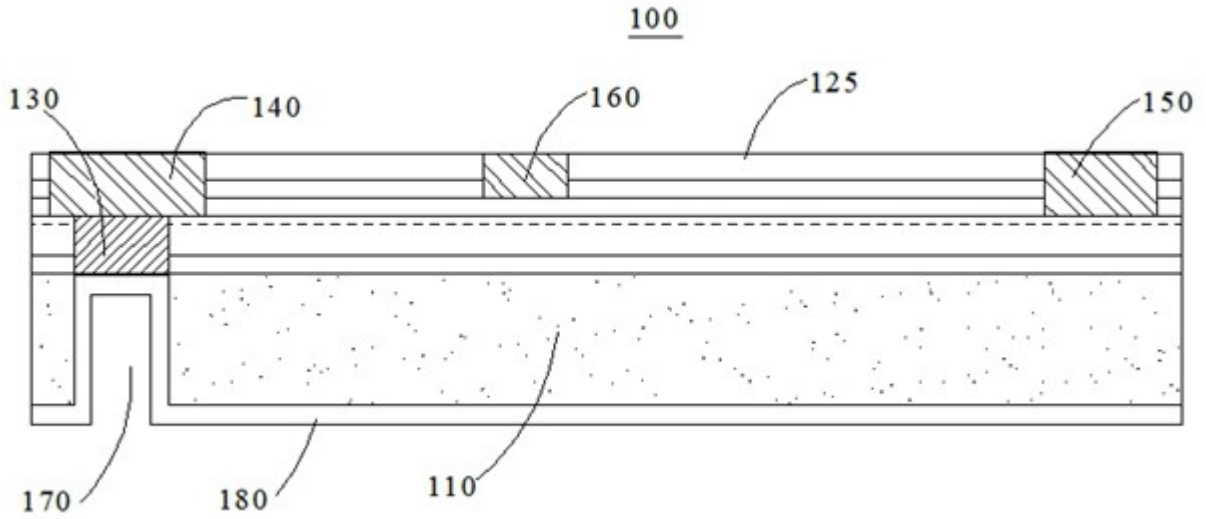


图13

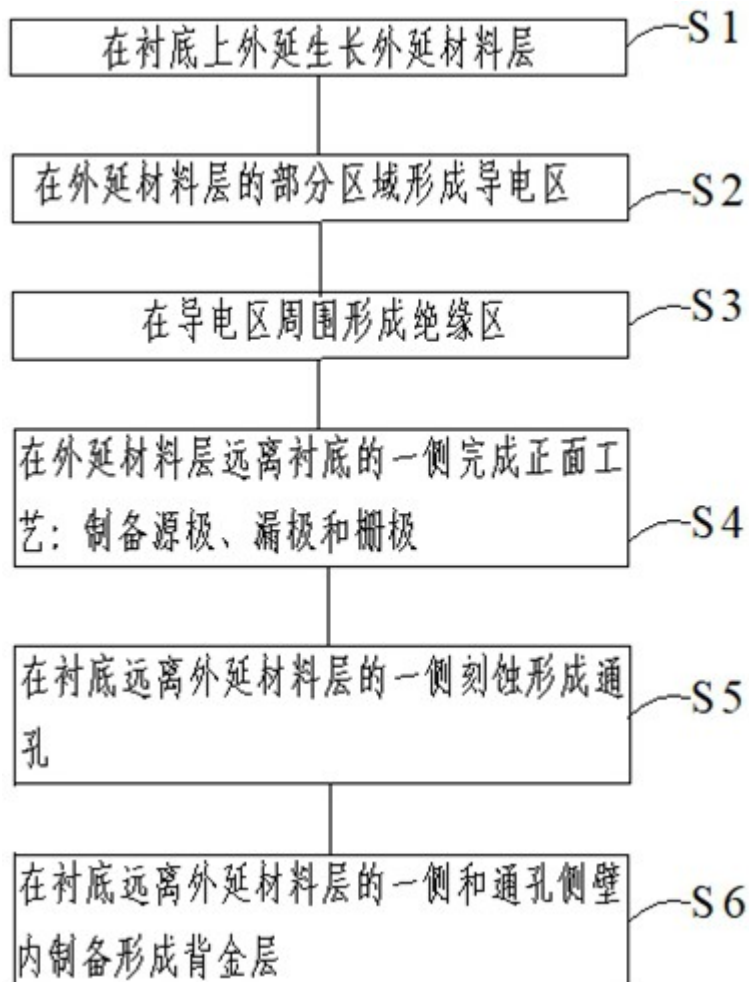


图14

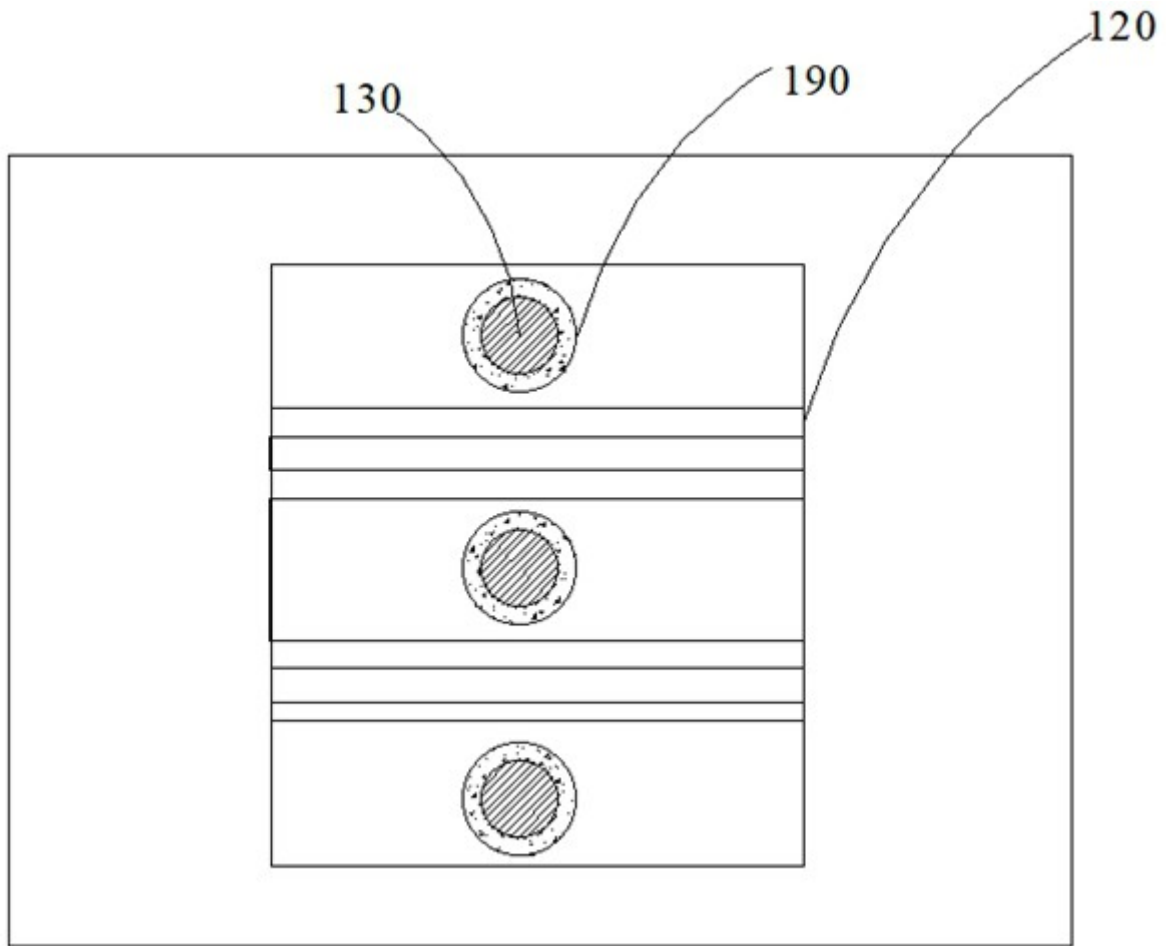


图15

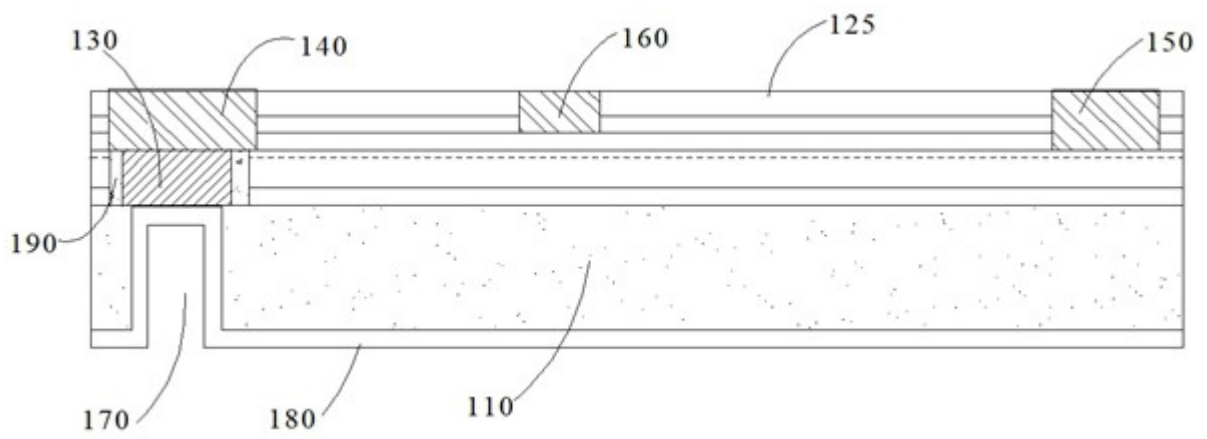


图16